

Das Unternehmen

Die Firma **Digital Equipment Corporation**, auch als **DEC** oder **Digital** bezeichnet, ist ein Pionier in der Computerindustrie. Firmensitz war in Nashua, New Hampshire.

DEC wurde 1957 von Ken Olsen gegründet. 1961 begann mit der PDP-1 die Produktion einer sehr erfolgreichen Serie von Computern, die später als VAX unter dem Betriebssystem VMS fortgeführt wurde.

In den 1960er Jahren produzierte DEC eine Computerserie, die weniger leistungsfähig, dafür aber auch wesentlich günstiger sein sollte als die IBM Mainframe-Rechner. Den Durchbruch schaffte die Firma mit der Produktion der bekannten PDP-8 im Jahr 1964. Die PDP-8 benutzte 12 Bit breite Wörter und wurde für ca. 16.000 US-Dollar verkauft. Durch die Portabilität und den verhältnismäßig simplen Aufbau konnte dieser Rechner auch in kleineren Industriebetrieben eingesetzt werden und Marktnischen füllen, die mit Großrechnern bisher nicht zu erreichen waren. Historisch gesehen ist dies ein wichtiger Aspekt, weil die PDP-8 der erste Rechner war, der auch von Privatpersonen gekauft und für einen speziellen Zweck eingesetzt wurde, während Mainframe-Rechner noch so groß und teuer waren, dass sie nur für mehrere Zwecke von mehreren Benutzern eingesetzt wurden. Heutzutage betitelt man die PDP-8 als weltweit ersten Kleinrechner überhaupt.

Das letzte Modell der bekannten PDP-Rechnerserie war die PDP-11, welche 16 Bit breite Wörter benutzte, weil sich inzwischen ASCII als de facto-Standard in der Computerindustrie durchgesetzt hatte. PDP-11 Rechner waren als Weiterentwicklung der PDP-8 für die gleichen Einsatzzwecke gedacht und später in Gehäusen verfügbar, die nicht größer waren als die moderner PCs. Die Platzeinsparung konnte durch Nutzung von integrierten Schaltkreisen erreicht werden. Für Rechenzentren und größere Datenverarbeitungsanlagen war die PDP-10 gedacht (36-Bit Architektur), die unter dem Namen DECsystem 10 und DECsystem 20 verkauft wurde. Mehrere auch heute noch bekannte Betriebssysteme konnten auf der PDP-11 betrieben werden, darunter auch das Bell Labs Unix sowie DEC's eigenes RSX und RSTS. Sowohl RSTS als auch Unix konnten für Ausbildungs- und Lehrzwecke sehr günstig oder kostenlos erworben werden. Dadurch entwickelte sich die PDP-11 zur Spielwiese mehrerer Generationen von Computertechnikern und Forschern.

Die PDP-11 war mit einem 64K großen Adressraum ausgestattet und enthielt einen seitenweise organisierten Speicher.

Im Jahr 1976 entwickelte DEC eine komplett neue und extrem kleine 32-Bit Architektur, die als erstes in der 1978 erstmals verkauften VAX 11/780 zum Einsatz kam. DEC konnte mit diesem Produkt den Kleincomputer Markt für eine beträchtliche Zeit beherrschen, obwohl Konkurrenten wie z.B. Data General (welcher von einem ehemaligen DEC-Mitarbeiter gegründet wurde, der eine 16-Bit Architektur vorschlug, die von der Unternehmensleitung zurückgewiesen wurde) versuchten Marktanteile zurückzugewinnen. Der Erfolg von DEC basierte allerdings nicht nur auf DEC's technischer Überlegenheit, sondern vor allem auch durch die Marktentwicklung im Bereich der Workstations, welche sich zugunsten der Kleincomputer entwickelte. Daraufhin wurde das "Jupiter"-Projekt, welches die Entwicklung eines Nachfolgermodells für die PDP-10 vorsah, abgebrochen, und DEC konzentrierte sich auf die Entwicklung und Vermarktung der VAX-Computer.

Die VAX hatte einen selbst für heutige Verhältnisse sehr großen Befehlssatz und sehr viele Adressierungsmodi. Zusätzlich zu Paging und geschütztem Speicher unterstützt die VAX virtuellen Speicher: der Name VAX steht für Virtual Address eXtension. Sowohl UNIX als auch DEC's eigenes VMS konnte eingesetzt werden.

Als erster 32-Bit-Minicomputer wurde 1977 die VAX-11/780 /STRE 78/ auf der Basis klassischer TTL-Schaltkreise mit niedrigem bzw. mittlerem Integrationsgrad auf den Markt gebracht. In der Übersicht Bild 1.1 wird ihre Leistung auf 1 VUP (VAX Units of Performance) gesetzt, was in etwa 1,1 bis 1,2 Millionen Befehle pro Sekunde entspricht. 1980 wurde das zweite Modell der VAX-Familie, die VAX-11/750, unter Verwendung von 26 speziellen Schaltkreisen (Schottky Low Power TTL) mit einem wesentlich besseren Preis-Leistungs-Verhältnis produziert. Der Weg zum Mikrorechner führte weiterhin über die VAX-11/730 bzw. VAX-11/725, deren Prozessor auf der Basis der weitverbreiteten Bit-Slice-Mikroprozessorschaltkreisfamilie AM2900 realisiert wurde.

Tafel 1.1. Übersicht über ausgewählte MicroVAX-Computer

Typ	μ VAX I	μ VAX II	μ VAX 2000	μ VAX 3100	μ VAX 3300/ 3400	μ VAX 3500/ 3600	μ VAX 3800/ 3900	VAX 4000 Mod. 300
Ankündigung	11/83	5/85	2/87	1/89	10/88	9/87	4/89	7/90
Leistung in VUP	0,3	0,9	0,9	2,4	2,4	2,7	3,8	8,0
Hauptspeicher in MByte								
min.	0,5	1	2	8	12	8	16/32	32
max.	2,5	16	14	32	28	32	64	128
Q-Bus	x	x	-	-	x	x	x	x
SCSI-Bus	-	-	-	x	-	-	-	-
Bandbreite der E/A in MByte/s	3,3	3,3	6	4	6	3,3	3,3	10

Die MicroVAX 1 (November 1983) /DEC 84/ ist die erste Mikrorechnerimplementierung einer VAX-Architektur, wobei der VAX-Prozessor auf fünf VLSI-Chips realisiert wurde. Vom Standardbefehlssatz, der ursprünglich aus 243 Befehlen bestand und Anfang der achtziger Jahre durch zusätzliche Gleitkommabefehle auf 304 Befehle erweitert wurde, wurden im Interesse einer effektiven VLSI-Implementierung Abstriche gemacht. Der Befehlssatz der MicroVAX umfaßt nur die 178 häufigsten Befehle. Die nicht implementierten Befehle werden durch das Betriebssystem VMS emuliert. Außerdem wurde auch von einer weiteren hardwaremäßigen Unterstützung des Befehlssatzes der PDP-11-Rechner im sogenannten Kompatibilitätsmodus Abstand genommen. Dieser wird ebenfalls von einem Softwareprodukt für die Stützung des Kompatibilitätsmodus, VAX-11/R SX, emuliert. Eine weitere wichtige Entwurfsentscheidung war der Einsatz des Q22-Busses, der sich bei den MicroPDP-11-Computern bewährt hat und zu einem Industriestandard geworden war. Die nächste Entwicklungsetappe bestand in der Integration des kompletten MicroVAX-Prozessors auf einem Chip mit etwa 125000 Transistoren in der n-MOS-Technologie. Auf der Basis dieses Mikroprozessorschaltkreises 7803 (0,9 VUP) und des Gleitkomma-Coprozessors 78132 wurde die MicroVAX II (Mai 1985) implementiert. Auf einer Leiterkarte 216 mm x 266 mm konnte damit der komplette Prozessor mit Gleitkomma-Coprozessor, Speichersteuerung Cache-Speicher, 1 MByte Hauptspeicher, Bedienkonsolensteuerung und ein Interface für das Bedienterminal realisiert werden. Die ersten MicroVAX-III-Produkte, die MicroVAX 3500 und MicroVAX 3600, auf der Basis der CMOS-Schaltkreise 78034/78134 mit etwa 2,7 VUP wurden September 1987 angekündigt. Die leistungsfähigsten

MicroVAX-III-System mit 3,8 VUP, die MicroVAX 3800 und MicroVAX 3900, wurden auf der Basis der weiterentwickelten Schaltkreise 78034M/78134M realisiert (April 1989). Eine neue Generation von CMOS-MicroVAX-Schaltkreisen mit etwa 8 VUP Prozessorleistung führte im Juli 1990 zur Ankündigung der vierten MicroVAX Generation mit dem ersten Computersystem VAX 4000, Modell 300.

Der eigentliche Durchbruch zu den Superminicomputern gelang 1984 mit der VAX 8600 auf der Basis des Einsatzes einer fortgeschrittenen ECL-Technologie und der Entwicklung einer leistungsfähigen Entwurfssoftware. Mit dieser Technologie konnte ein Jahr später eine wesentlich leistungsfähigere VAX 8800 produziert werden, die gleichzeitig zwei neue Bussysteme einführte:

- NMI (Nautilus Memory Interconnect) als internes Bussystem mit einer Datenübertragungsrate von 64 MByte/s,
- VAXBI (VAX Backplane Interconnect) als modernes, voll spezifiziertes E/A-Bussystem mit einer Datenübertragungsrate von etwa 10 MByte/s.

Die VAX 8800 stellte als Zweiprozessorsystem mit asymmetrischem Multiprocessing die logische Fortsetzung der VAX-11/782-Entwicklung dar. Auf der Basis der VAX-8800-Technologie entstand in den folgenden Jahren eine Reihe von Einprozessorsystemen mit günstigerem Preis-Leistungs-Verhältnis im mittleren Leistungsniveau, wie VAX 8700, VAX 8500, VAX 8530 und VAX 8550. Zur Ablösung der VAX-11-Produkte im "unteren" Leistungsbereich (1 bis 2 VUP) entstanden 1986/87 weitere Ein- und Zweiprozessorsysteme mit dem VAXBI-Bus als Hauptbus, wie VAX 8200, VAX 8300, VAX 8250 und VAX 8350. Die volle Ausschöpfung der Leistung der Zweiprozessorsysteme durch Anwendung des symmetrischen Multiprocessings war erst ab 1988 mit der Einführung der Version 5.0 des Betriebssystems VMS möglich. Diese neuen Möglichkeiten führten zur Erweiterung der VAX 8800 zur Modellreihe VAX 8810 bis 8840 mit 1 bis 4 Prozessoren und zur Entwicklung der VAX-6000-Serie im mittleren Leistungsbereich. Gleichzeitig wurden die VAX-Systeme der "unteren" Leistungsbereiche durch die MicroVAX-3000-Modelle leistungsmäßig überholt und von der Produktion abgesetzt. Der einzige Vorteil der VAX-Systeme der unteren Leistungsklasse bestand nach dem Erscheinen der MicroVAX-3000-Modelle noch in ihrer Clusterfähigkeit, jedoch auf Grund der geringen CPU-Leistung waren diese Modelle für die Cluster faktisch bedeutungslos geworden. Parallel mit dem Leistungszuwachs der MicroVAX-Systeme entwickelten sich außerdem die Local Area VAX Cluster (LAVC), die eine Clusterbildung auf Basis des Ethernet-LAN (10 MBit/s) mit MicroVAX-Systemen erlaubten.

Der Vorteil der VAX-6000-Serie bestand in der Einführung eines neuen Speicherbusses XMI mit einer Transferrate von 100 MByte/s und des Einsatzes der MicroVAX-Schaltkreise 78034/78134 in der CPU. Inzwischen werden in den Modellen 510 bis 560 weiterentwickelte Prozessorschaltkreise auf der Basis einer fortgeschrittenen CMOS-Technologie mit 13 VUP eingesetzt. Durch diese technologischen Fortschritte hatten die Systeme der mittleren Leistungsklasse bereits mit der Modellreihe 400 vor zwei Jahren in einzelnen Leistungsparametern die VAX-88xx-Systeme überholt. Die Systeme der mittleren Leistungsklasse gestatteten aber wegen ihres günstigen PreisLeistungs-Verhältnisses (relativ kleines Gefäßsystem) nur eine eingeschränkte Konfigurierbarkeit gegenüber den Systemen der oberen Leistungsklasse. So verfügt der XMI-Einschub in der VAX 6000 nur über 14 Steckplätze. Eine voll ausgebaute Konfiguration mit 6 Prozessoren, 8 Speichermodulen zu je 32 bzw. 64 MByte und 6 VAXBI-Adaptoren würde aber 20 Steckplätze erfordern! Daraus ergibt sich die Notwendigkeit der Konfigurierung der Systeme für CPU-, Speicher- oder E/A-intensive Anwendungen. Die Systeme der oberen Leistungsklasse erlauben dagegen den

vollen Ausbau einer Konfiguration in allen Leistungsparametern. Mit den neuesten Modellen 510 . 560 der VAX 6000 werden auch Netz-, Platten- und Clusterinterfacecontroller zum direkten Anschluß an den XMI angeboten, so daß die VAXBI-Busse für viele VAX-6000-Anwendungen ihre Bedeutung verloren haben.

Die weitere Entwicklung zu immer leistungsfähigeren Systemen führte zur WU-9000-Serie auf der Basis einer weiterentwickelten ECL-Technologie und des Einsatzes eines Kreuzschienenverteilers mit einer Transferleistung von 2 GByte als Ersatz für den "klassischen" internen Speicherbus. Zusätzlich verfügt jeder Prozessor mit einer Leistung von 30 VUP über einen integrierten Vektorprozessor mit 125 MFLOPS (Mill. Gleitkommabefehle pro Sekunde). Für den Vektorprozessor wurden speziell 63 Vektorbefehle eingeführt, die vom Betriebssystem bei nicht vorhandenem Vektorprozessor emuliert werden. Damit können jetzt auch auf einer MicroVAX Vektorprozessor Anwendungen entwickelt werden. Zur Aufwertung der Systeme der mittleren Leistungsklasse wird für die VAX 6000 ein Vektor-Zusatzprozessor angeboten. Eine Übersicht über einige ausgewählte VAX-Computer wird in Tafel 1.2 gezeigt.

Bei der VAX-11/780 (Bild 1.2) /DEC 77,DEC 78/ bildet der SBI-Bus (Synchronous Backplane Interconnect) mit einer maximalen Übertragungsleistung von 13,3 MByte/s die zentrale Baugruppe des Computersystems. Der SBI ist ein Synchronbus mit einer Zykluszeit von 200 ns. Er besteht aus 46 Informationsleitungen und 38 Leitungen für die Bussteuerung. In einem Buszyklus werden parallel 4 Byte (32 Bit) übertragen.

Tafel 1.2. Übersicht über ausgewählte VAX-Computer

Typ	VAX 11/750	VAX 11/780	VAX 6210.. 6240	VAX 6000 510/560	VAX 8500	VAX 8600	VAX 8800	VAX 8810.. 8840	VAX 9000 210/440
Ankündigung	10/80	11/77	6/88	10/90	4/86	10/84	12/85	7/88	5/90
Leistung in VUP	0,6	1,0	2,7.. 10	13.. 72	3,0	4,3	12,0	6.. 24	30.. 117
Prozessoren	1	1	1..4	1..6	1	1	2	1..4	1..4
Hauptspeicher in MByte									
min.	2	2	32	64	8	4	32	48	256
max.	16	64	256	512	64	128	128	512	512
UNIBUS	1..2	1..4	1	-	1	1..7	1	1	-
MASSBUS	0..3	0..4	-	-	-	0..4	-	-	-
QMI	1	-	-	-	-	-	-	-	-
SBI	-	1	-	-	-	1..2	-	-	-
VAXBI	-	-	1..6	1..6	1..2	-	1..4	1..4	1..14
NMI	-	-	-	-	1	-	1	1	-
XMI	-	-	1	1	-	-	-	-	1..4
Bandbreite der E/A in MByte/s	1,5..6	1,5..8	10..40	10..60	10..20	3..20	10..40	10..40	80..320

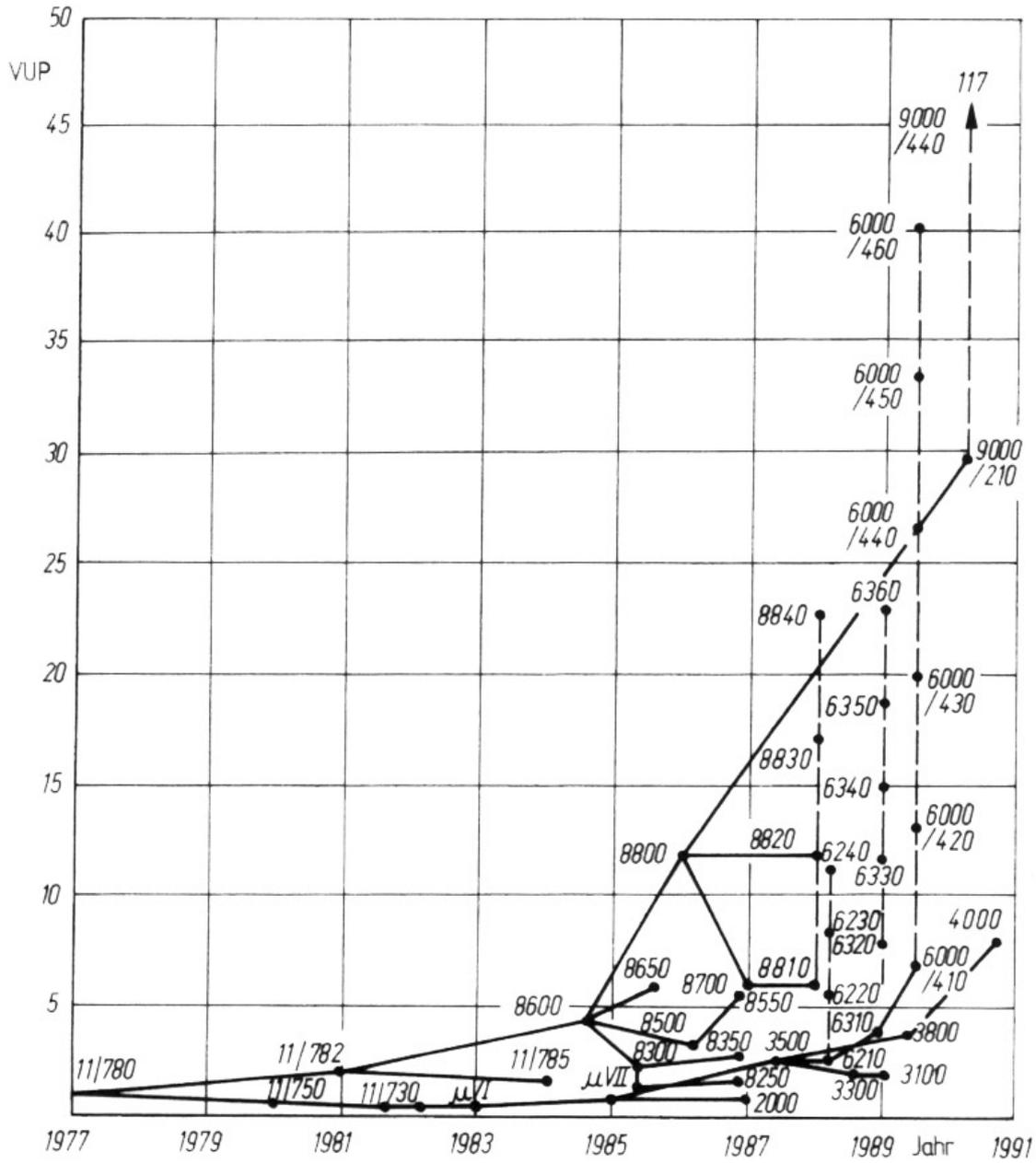


Bild 1.1. Übersicht über die Entwicklung der VAX-Familie

Hardwarestruktur

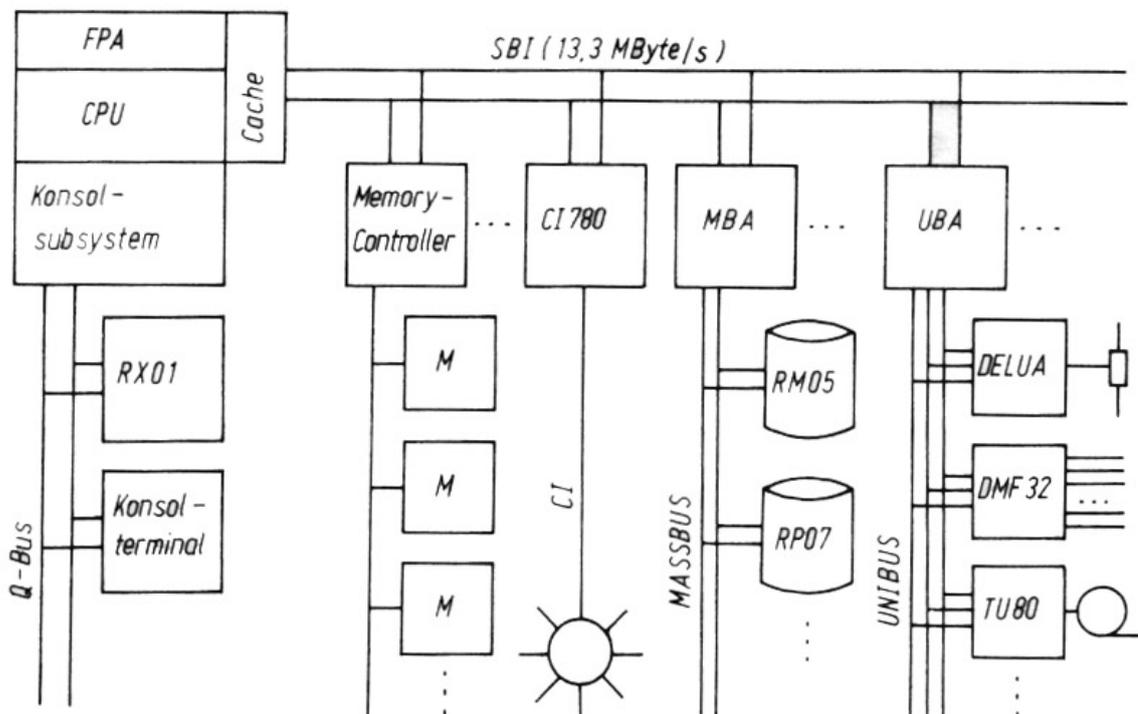


Bild 1.2. Hardwarestruktur einer VAX-11/780

Bei der VAX-11/780 bildet SBI_bus mit einer maximalen Übertragungsleistung von 13,3 Mb/s die zentrale Baugruppe des Computersystems. Der SBI ist ein Synchronbus mit einer Zykluszeit von 200 ns. Es besteht aus 46 Informationsleitungen und 38 Leitungen für die Bussteuerung. In einem Buszyklus werden parallel 4 Byte (32 Bit) übertragen.

Der Prozessor besteht aus einer mikroprogrammgesteuerten CPU (Central Processing Unit) für den Basisbefehlssatz, einem EPA (Floating Point Accelerator) für die Gleitkommabefehle, einem Datencache und der SBI-Steuerung. Der Datencache dient als schneller Pufferspeicher für den wesentlich langsameren Hauptspeicher. Bei jedem benötigten Daten- oder Befehlsbyte wird versucht, die Informationen aus dem Cache zu lesen. Erst wenn der Cache keine Informationen liefern kann, wird über die SBI-Steuerung ein Buszyklus für einen Hauptspeicherzugriff ausgelöst. Der Prozessor wird durch ein Konsolensubsystem auf der Basis eines LSI-11 (erste Mikrorechnerversion eines PDP-11) bedient. Über das Konsolensubsystem können Mikroprogramme geladen und Diagnoseprogramme ausgeführt werden. Zur Erfassung von Fehler- und Diagnoseinformationen sowie zur Ausführung von Mikrodiagnoseprogrammen verfügt der Prozessor über einen speziellen Diagnosebus, der vom Konsolensubsystem ausgewertet und gesteuert wird. Am Konsolensubsystem sind ein Floppy-Disk-Laufwerk RX01 und das Operatorterminal (meist LA120 als Hard-Copy-Terminal) angeschlossen.

Am SBI können angeschlossen sein:

-Memory-Controller

Maximal 2 Memory-Controller je 16 Speicherleiterkarten

Beim Einsatz von 64-kBit-Speicherkreisen → 1MB

256 → 4MB

zusatzschränke bei Verwendung von 2 Mem.Con erforderlich

-UNIBUS-Adapter

4 möglich
16-Bit-Asynchronbus
max 1,5Mbyte/s
max 15m

-MASSBUS-Adapter

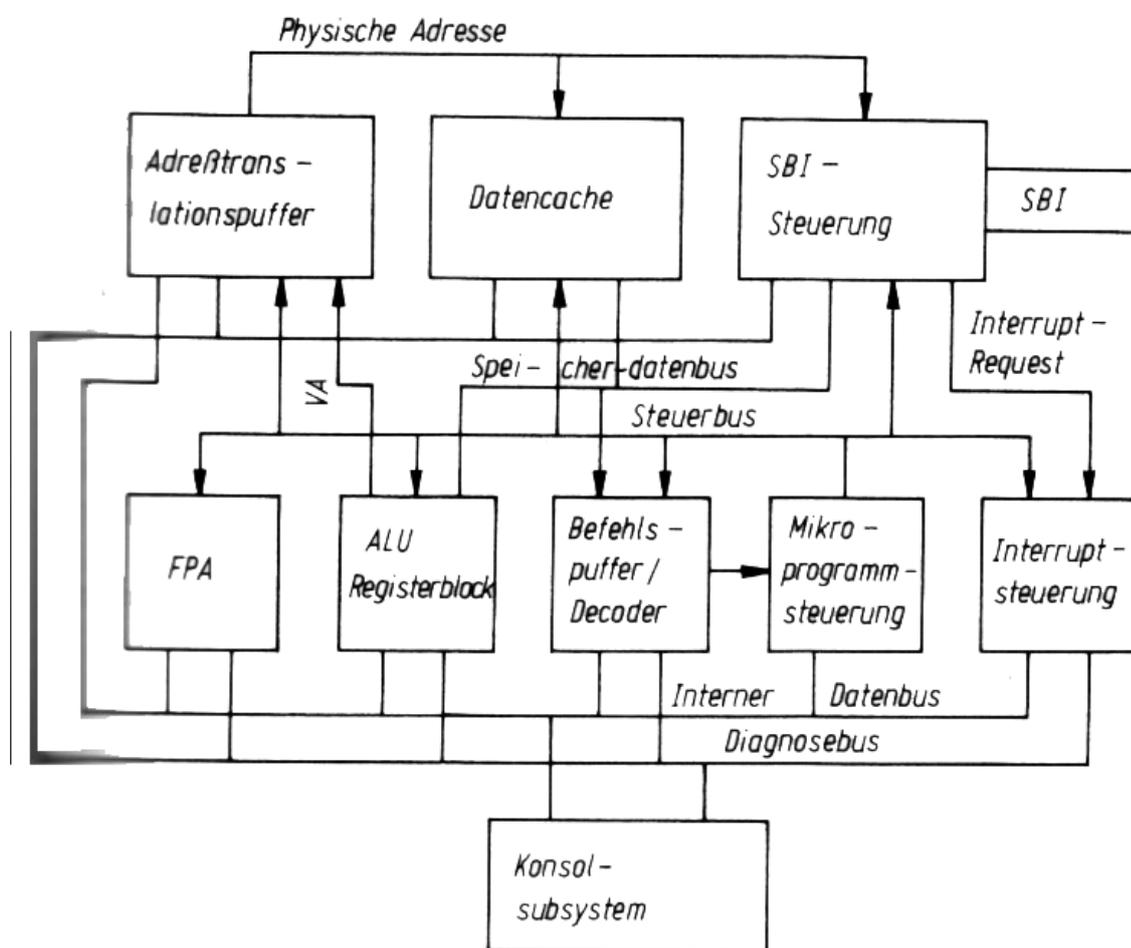
Synchronbus mit asynchroner Steuerung
Max 2MByte/s
Max 8 Controller
4 MBA möglich

-Computer-Interconnect-Adapter CI (CI780)

für Clusterbildung nötig
70 M/bits

-Universal-Interface DR32 (DR780)

32 Bit-Parallel-Bus ;6,67 MByte/s



Struktur des Prozessors einer VAX-11/780

Struktur eines VAX-Prozessor

Die Strukturen der VAX-Prozessoren sind mit der Evolution der VAX-Familie zunehmend komplexer geworden. Die grundsätzlichen allgemeinen Eigenschaften eines VAX-Prozessors lassen sich recht gut am ersten VAX-Prozessor, also am Beispiel einer VAX-11/780 /SIEW

82/ darstellen, wenn man nicht zu Wehr ins Detail geht. Bild 1.10 zeigt die grundsätzliche Struktur eines VAX-11/780-Prozessors.

Die einzelnen Funktionsblöcke haben folgende Bedeutung:

Befehlspeicher/Befehlsdecoder

Microprogrammsteuerung

ALU/Registerblock

FPA

Adreßtranslationspuffer

Datencache

SBI-Steuerung

Interruptsteuerung

Steuerbus

Speicherdatenbus

Interner Datenbus

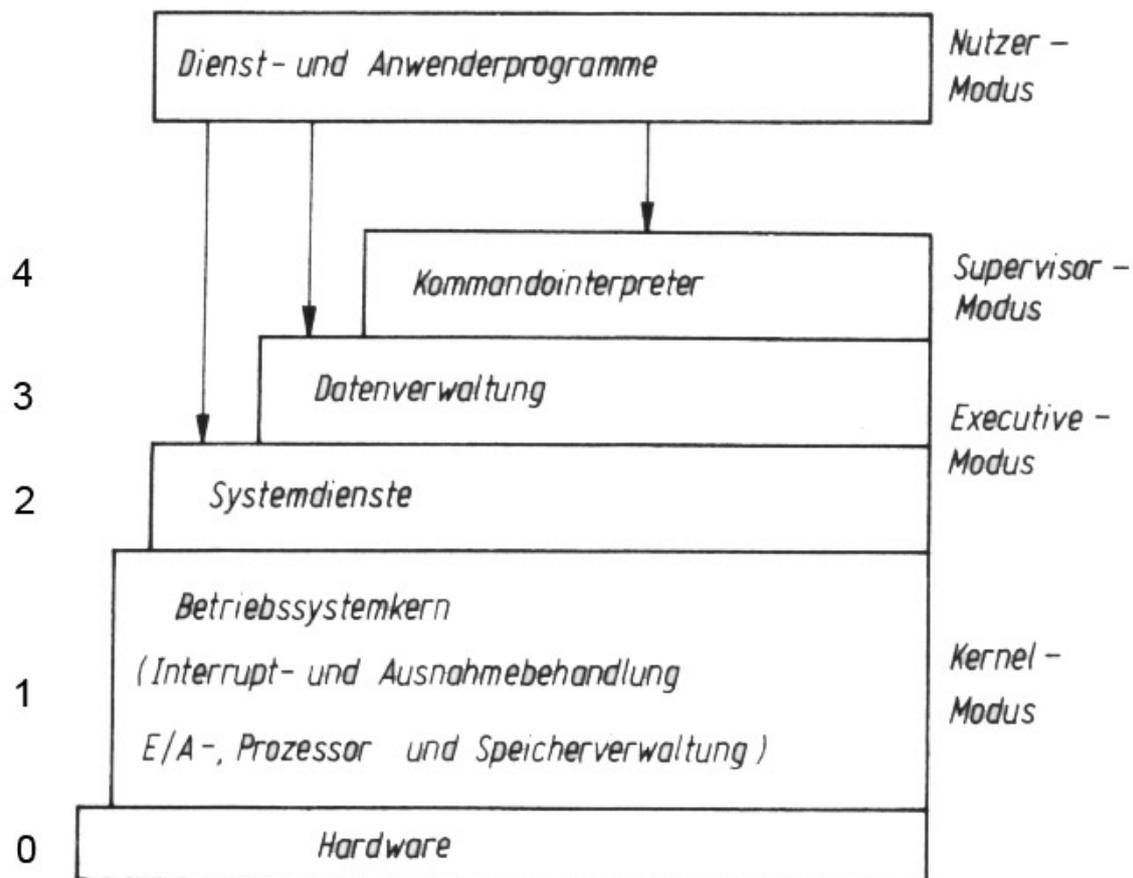
Diagnosebus

Betriebssystem VMS

Das Betriebssystem VMS ist das Hauptbetriebssystem für VAX-Computer. Es setzt die Entwicklungslinie des universellen Echtzeitbetriebssystems RSX-11M/M-PLUS und des interaktiven Multiusersystems IAS der 16-Bit-Minicomputersysteme PDP-11 fort. Durch die erweiterten Möglichkeiten der 32-Bit-Architektur konnten verstärkt Funktionsprinzipien implementiert werden, die das fortgeschrittene Architektur auf dem Gebiet der Betriebssysteme, vor allem unter Berücksichtigung von UNIX, bestimmen. Gegenüber den UNIX-kompatiblen Betriebssystemen bietet VMS den Vorteil der größeren Effektivität durch Ausnutzung aller Hardwarevorteile der VAX-Architektur in Verbindung mit einem wesentlich breiteren Einsatzspektrum.

Im Multiprogrammbetrieb verbindet das Betriebssystem VMS in hervorragender Weise das Zeiteilungsverfahren (Time-Sharing) mit dem Prioritätssteuerungsverfahren. Sein Einsatzspektrum reicht deshalb von kleinsten Systemen der Labor- und Prozeßautomatisierung bis hin zu großen Mehrnutzersystemen mit Dutzenden von Terminals. Die praktische Begrenzung der Terminalanzahl ergibt sich aus dem Nutzungsprofil, der Größe des physischen Hauptspeichers und der Prozessorleistung.

Funktionsstruktur des Betriebssystems VMS



Funktionstruktur des Betriebssystems VMS

Die Funktionsstruktur des Betriebssystems VMS kann zweckmäßigerweise an einem Treppenschichtenmodell (Bild 2.1) verdeutlicht werden. Die unterste Schicht 0 enthält die physisch vorgegebene Hardware. Sie stellt die reale Maschine dar.

Wie bei jedem Schichtenmodell realisiert jede höhere Schicht eine virtuelle Maschine, die über ihr spezifisches Schichteninterface angesprochen wird. Das Treppenschichtenmodell als eine Modifikation des allgemeinen Schichtmodells hat bei Betriebssystemen den Vorteil, daß es das Übergehen einzelner Funktionsschichten durch den direkten Zugriff auf tieferliegenden Schichten gestattet.

Die Schicht 1 ist der Betriebssystemkern, der am meisten geschützt werden muß und deshalb im hochprivilegierten Kernel-Modus ausgeführt wird. Zum Betriebssystemkern gehören die physische E/A-Organisation mit den Gerätedrivers, die Routinen für die Verwaltung des physischen Hauptspeichers, die Routinen für die Prozessorscheduling, die Interrupt- und Ausnahmebehandlungsroutinen sowie Routinen bestimmter Systemdienste. Das Interface der Schicht 1 ist nur begrenzt für hochprivilegierte Programme verfügbar. In erster Linie muß auf das Interface bei der Entwicklung neuer Driver und Systemdienste zurückgegriffen werden.

Die Schicht 2 ist die Schicht der Systemdienste, die nicht ganz so streng geschützt werden muß und deshalb im weniger privilegierten Executive-Modus abgearbeitet wird. Bei den meisten Systemdiensten wird aber auf Routinen des Betriebssystemkerns zurückgegriffen. Die Systemdienste unterteilen sich in folgende Gruppen:

Zeitorganisation

- Konvertierung der Zeitformate,
- Setzen des Timers zur Erzeugung zeitabhängiger Unterbrechungen;

Synchronisation

- Behandlung von Ereignisflags zur Synchronisation und Interprozeßkommunikation,
- Steuerung von asynchronen System-Trap-Routinen (AST) für asynchrone Ereignisse,
- Verwaltung von Sperren über gemeinsam nutzbare Ressourcen;

E/A-Organisation

- Reservierung von Geräten,
- Eingliedern von Datenträgern,
- Zuweisung von Kanälen,
- logische und physische Ein- und Ausgabe (QIO – Queued Input Output);

Prozeßverwaltung

- Einrichten von Prozessen,
- Steuerung der Prozeßabarbeitung,
- Abfrage von Job-/Prozeßinformationen;

Speicherverwaltung

- Änderung des virtuellen Adreßraumes,
- Steuerung des Working-Sets,
- Verwaltung von-Hauptspeicherabschnitten;

Sonstige Dienste

- Verwaltung logischer Namenstabellen,
- Verwaltung von Zugriffssteuerlisten,
- Modusänderungen,
- Abfrage von vielfältigen Informationen.

Die Schicht 3 ist die Datenverwaltungsschicht, die ebenfalls im Executive-Modus ausgeführt wird. In der Datenverwaltungsschicht sind eine Reihe von Betriebssystemkomponenten zusammengefaßt, die aus Gründen der Orthogonalität, Transparenz und Effizienz aus dem Betriebssystemkern ausgelagert wurden. Dazu gehören:

Hilfssteuerprozesse (ACP - Ancillary Control Processes) für die Fileverwaltung

Die Systemdienste stellen nur die elementaren Operationen zum Lesen und Schreiben logischer Blöcke zur Verfügung. Der Aufbau und die Verwaltung der verschiedenen Verzeichnisse und anderen Organisationsfiles eines Strukturierten Datenträgers erfolgt durch einen entsprechenden ACP.

Hilfssteuerprozesse (ACP) für die Magnetbandverwaltung

Die Systemdienste stellen nur die elementaren Operationen zum Lesen und Schreiben physischer Blöcke zur Verfügung. Der Aufbau der Magnetbandfiles den erforderlichen Steuerinformationen erfolgt durch einen entsprechenden ACP.

Satzzugriffssystem (RMS - Record Management System) für die Realisierung der fileinternen Organisation

Das RMS realisiert auf einem hohen Niveau die Datenverwaltung in sequentiellen, relativen oder indexsequentiellen Files. Als Satzformate sind zulässig

- festes Satzformat,
- variables Satzformat (mit Satzlängengebiet),
- variables Satzformat mit Satzlängengebiet und festem Steuerbereich (VFC-Format),
- Streamformat mit verschiedenen Satzendezeichen,
- undefiniertes Satzformat.

Hilfssteuerprozesse (ACP) für die Netzkommunikation

Die Systemdienste stellen nur die Operationen zum Senden und Empfangen von Nachrichten zur Verfügung. Die höheren Netzprotokolle, wie Routing, Filetransfer usw., werden durch entsprechende ACP in der Datenverwaltungsschicht realisiert.

Die Schicht 4 ist die Schicht für die Bedienerkommunikationsprozesse, die immer weniger geschützten Supervisor-Modus abgearbeitet werden. In dieser Schicht läuft der Kommandointerpreter für die Kommandosprache DCL (Digital Command Language). Wenn das Layered Product für den Kompatibilitätsmodus zum Betriebssystem RSX-11M/M-PLUS für die PDP-11-Technik installiert ist, ist alternativ der Kommandointerpreter MCR verfügbar, der den PDP-11-Anwendern den Übergang zum VMS wesentlich erleichtert. In dieser Schicht laufen auch der Operatorkommunikationsprozeß OPCOM, der Jobsymbiont für die Stapelverarbeitung und der Druckersymbiont für die Abarbeitung von Druckjobs.

Oberhalb der Schicht 4 befinden sich weitere, nichtprivilegierte Dienstprogramme, die mit dem Betriebssystem mitgeliefert werden, Sprachverarbeitungssysteme und alle (nichtprivilegierten) Anwenderprogramme. Diese Programme werden im nichtprivilegierten User-Modus ausgeführt.

Das bedeutet aber nicht, daß die Anwenderprogramme nicht geschützt seien. Zwischen den Anwenderprogrammen sorgt das Betriebssystem für einen absolut sicheren Schutz. Die Aufgabe der Prozessormodi ist der Aufbau einer Schutzhierarchie um die Hardware und die einzelnen Betriebssystemschichten, damit verhindert werden kann, daß durch Programmfehler das Betriebssystem oder einzelne Komponenten in ihrer Arbeit beeinträchtigt werden.

Beispiel:

.....

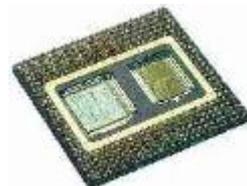
Intel Pentium Pro

Der Pentium Pro wurde von Intel als High-End-Prozessor entwickelt und ist deshalb für Server- und Workstation-Anwendungen unter Windows NT geeignet.

Der Pentium Pro besteht aus zwei Silizium-Plättchen. Das eine ist der eigentliche Prozessor, das andere ist der maßgefertigte Hochgeschwindigkeitsspeicher Level-2-Cache. In vorherigen Computersystemen war der L2-Cache Bestandteil der Hauptplatine.

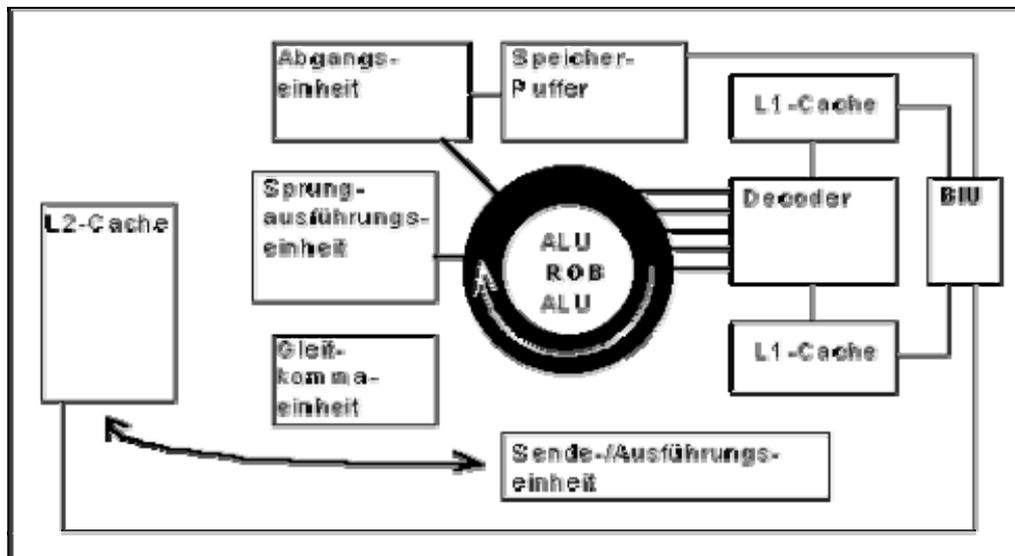
Besondere Leistungsmerkmale und Eigenschaften:

- asynchrone und spekulative Ausführung der Befehle



- RISC-Technologie
- integrierter L2-Cache von 256 oder 512 kByte
- Sockel-8-System
- Multiprozessor tauglich

Architektur des Pentium Pro



Wenn über die BIU (Bus Interface Unit) Informationen in den Prozessor gelangen, dupliziert die BIU die Informationen und legt sie in den Level-1-Cache und in den Level-2-Cache ab.

Beim L1-Cache unterscheidet die BIU zwischen Daten und Programmcode.

Für die Programmausführung gibt es zwei Wege. Wenn vor der Decodierung eine Verzweigungsanweisung gefunden wird, wird versucht vorherzusagen, welchen weiteren Programmweg der Programmweg nimmt. Dazu werden die Informationen aus früheren Vorhersagen herangezogen, um herauszufinden, welcher Code als nächstes benutzt wird. Diese Vorhersage trifft in 90% der Fälle zu.

Drei parallel arbeitende Decoder teilen die komplexen Anweisungen in kleine 274 Bit große Mikrooperationen (μ OP - unit operation). Die μ OPs werden in den Anweisungspool (ROB - reorder buffer) gesendet. Dieser Buffer ist ringförmig angelegt, und der die μ OPs in der richtigen Reihenfolge enthält.

Die Senden-/Ausführungseinheit überprüft alle μ OPs auf alle zur Ausführung notwendigen Informationen. Fehlen noch Daten werden sie aus dem L1-Cache oder L2-Cache geholt. Weil der L2-Cache im Prozessor integriert ist, können die Informationen zwei- bis viermal so schnell angefordert werden. Sind alle Daten vorhanden wird der Mikrocode ausgeführt und als ausgeführt markiert. Es können bis zu fünf μ OPs gleichzeitig bearbeitet werden.

Die Sprungausführungseinheit verschiebt im Falle einer falschen Vorhersage die Markierung für das Ende vom letzten μ OP auf das falsch vorhergesagte. Alle μ OPs hinter der Endmarkierung werden ignoriert und mit neuen μ OPs überschrieben.

Die Abgangseinheit überprüft, ob die μ OPs ausgeführt worden sind und sendet immer drei gleichzeitig in den Speicherpuffer, wo sie dann an den richtigen Platz im RAM des Systems geschickt werden.

AMD K5 (AMD5_K86-xx)

Der K5-Prozessor existiert in zwei verschiedenen Versionen, die sich durch verschiedene Taktraten und interne Verbesserungen



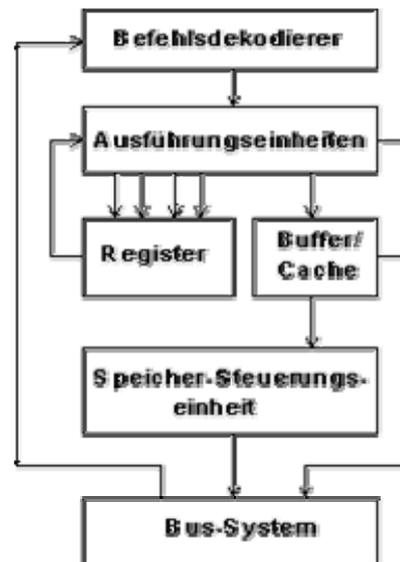
unterscheiden.

Model 1

Dieser K5 hat bei 100 MHz Taktung in etwa die gleiche Leistung wie ein 100 MHz-Pentium.

Model 2

Dieser K5 entspricht bei gleichem Takt einem Pentium mit 133 MHz. Um das deutlich zu machen, hat AMD das sogenannte Pentium-Rating (PR) eingeführt. Dadurch soll die Gleichwertigkeit zu den Pentium-Prozessoren ausgedrückt werden.



Funktionsweise

Der AMD K5 ist der erste x86-Prozessor, den AMD vollständig selber entwickelt hat. Alle vorherigen Typen beruhen auf dem Intel-Design.

Der K5 hat einen superskalaren RISC-Kern, bei dem ein vorgeschalteter Interpreter die x86-Befehle dekodiert und in RISC-Befehle zerlegt.

Der K5 verfügt über 6 Ausführungseinheiten, die parallel arbeiten können.

Der K5 hat einen 32 Bit breiten Adreßbus und einen 64 Bit breiten Datenbus.

Funktionsabläufe

- Der Befehlsdekodierer holt sich vom Datenbus den Befehlscode und interpretiert ihn in RISC-Befehle.
- Danach wird der Befehl an die Ausführungseinheiten weitergeben.
- Unter Benutzung der Register und des Buffers wird der Befehlscode ausgeführt und auf das Bus-System zugegriffen.
- Ist der Befehl abgearbeitet wird der nächste vom Datenbus geholt.