

## 6.4. Feldeffekttransistoren (FET)

Prinzipiell für FET ist die Steuerung der Leitfähigkeit oder des Querschnitts eines elektrischen Kanals parallel zur Oberfläche durch das elektrische Feld einer Steuerelektrode. Der Ladungstransport erfolgt durch Ladungsträger eines Typs. Die Steuerelektrode ist gegenüber dem Kanal isoliert. Man unterscheidet die Isolation durch ein Dielektrikum (MISFET, MOSFET, IGFET) oder durch einen gesperrten pn-Übergang bzw. Schottky-Übergang (SFET, JFET, MESFET)

### 6.4.1. MOSFET

Das Wirkprinzip dieser Feldeffekttransistoren beruht auf der in Abb. 6.41 dargestellten Anordnung. Auf der Oberfläche eines dotierten Halbleiters ist eine dünne Schicht eines Isolators aufgebracht, deren äußere Oberfläche durch aufgedampftes Metall leitfähig ist.

Abb. 6.41 eindimensionales Modell der Metall-Isolator-Halbleiter-(MIS-) Struktur eines  $p$ -dotierten Halbleiters

a) Querschnitt mit Ladungsverteilungen.

Die Metallelektrode ist gegenüber dem Halbleiter positiv vorgespannt. Es kommt an dessen Oberfläche zur Anreicherung von Elektronen und Verarmung an Löchern. Feldlinien enden dort an negativen Überschussladungen (Elektronen bzw. Akzeptorionen).

b) Das Diagramm stellt die Ortsabhängigkeit der Dielektrischen Verschiebung  $D_x(x)$  dar, deren Feldlinien in a) durch Pfeile verdeutlicht sind. Die relative Permittivität  $\varepsilon$  von Isolator und Halbleiter ist unterschiedlich.  $D_x(x)$  ergibt sich aus der Ladungsträgerdichte  $\rho(x)$  unter Anwendung des Gaußschen Satzes (Glg. 1.12).

c) Potentialverlauf  $\varphi(x) = -\int E_x dx$  der MIS-Struktur

Der Knick bei  $x=0$  hat seine Ursache in unterschiedlichen Werten  $\varepsilon_i$  und  $\varepsilon_s$  von Isolator bzw. Halbleiter.

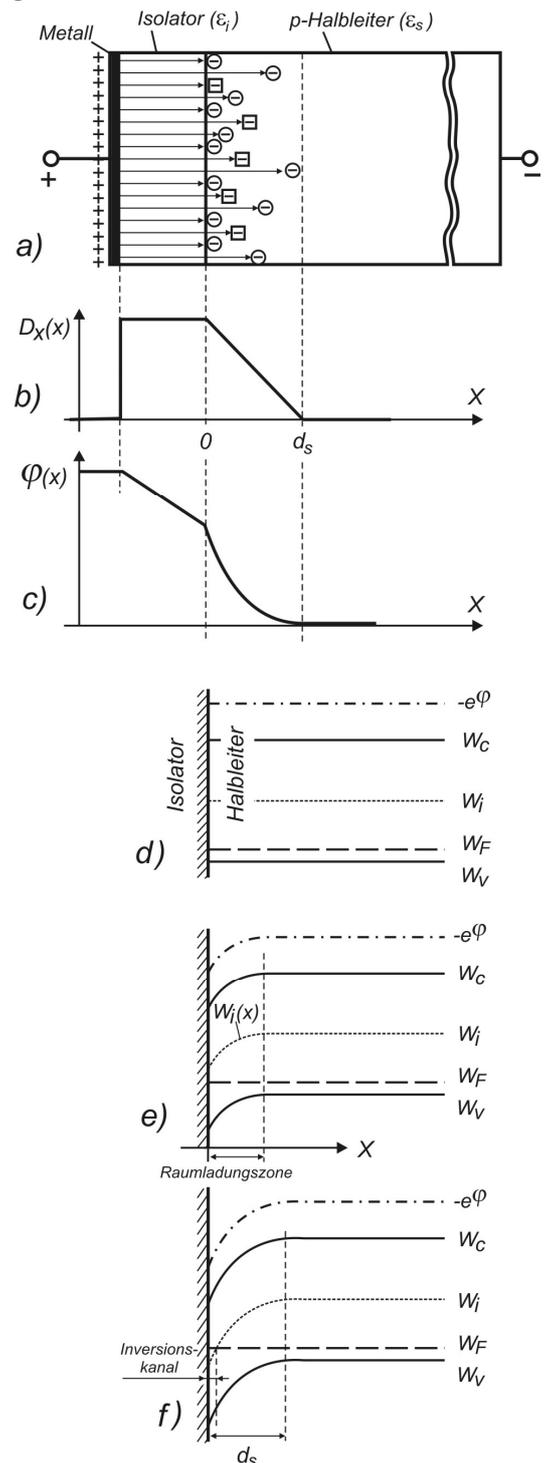
Durch die angelegte Spannung werden sowohl auf der Metallelektrode als auch auf der Oberfläche des Halbleiters Ladungen beeinflusst. Das sind beim Halbleiter die Elektronen, also Minoritätsladungsträger, die sich infolge der elektrostatischen Feldkraft  $F_x = -eE_x$  in einer Schicht der Dicke  $d_s$  (Raumladungszone) ansammeln. Außerhalb dieser Schicht (rechts davon) ist die Feldstärke Null und das Potential konstant.

d) Bändermodell des Halbleiters ohne äußere Spannung, ohne Störung durch die Oberfläche. Der Verlauf der Bandkanten sowie der Vakuumenergie hänge nicht vom Abstand zur Oberfläche ab (Flachbandverlauf).

e) Bändermodell bei angelegter Spannung

Die äußere Spannung führt zu Potentialdifferenzen  $\varphi(x)$  innerhalb dieser Struktur und beeinflusst dadurch die Vakuumenergie  $-e\varphi$  im Bereich der Raumladungszone. Die Bandkanten folgen dem Verlauf der Vakuumenergie. Im thermodynamischen Gleichgewicht (Ladungen fließen nicht mehr) verläuft die Fermi-Energie  $W_F$  horizontal.

f) Ist die angelegte Potentialdifferenz ausreichend hoch, entsteht an der Oberfläche ein *Inversionskanal*. Dort überwiegen folglich die Minoritätsladungsträger und es gilt  $n > p$ .



Der Isolator zwischen dem Halbleiter und der Steuerelektrode (Gate) kann  $\text{Si}_3\text{N}_4$  sein oder ein Metalloxid (z.B.  $\text{SiO}_2$ ,  $\text{Al}_2\text{O}_3$ ), man bezeichnet dann den MISFET auch als MOSFET. Feldeffekttransistoren werden nach der Planartechnologie hergestellt. Die Isolierschicht kann z.B. durch Oxidation des Siliziums erzeugt werden. Als Gateelektrode wird meist Aluminium aufgedampft oder/und polykristallines Silizium verwendet.

Erste Patente zum Prinzip des Feldeffektes stammen bereits aus den Zwanziger Jahren des vorigen Jahrhunderts. Praktische Anwendung fanden Feldeffekttransistoren erst mit Beherrschung der Siliziumtechnologie etwa ab 1962. Prinzipiell ist bei allen FET-Typen die Steuerung eines leitfähigen Kanals, der durch eine Raumladungszone gebildet wird. Im Unterschied zu den Bipolartransistoren, bei denen stets sowohl Minoritäts- als auch Majoritätsladungsträger am Stromfluss beteiligt sind, wird der Ladungstransport bei Feldeffekttransistoren stets nur durch einen Ladungsträgertyp realisiert. Deshalb werden FET auch als *unipolare* Transistoren bezeichnet.

**6.4.1.1. Wirkprinzipien verschiedener Typen**

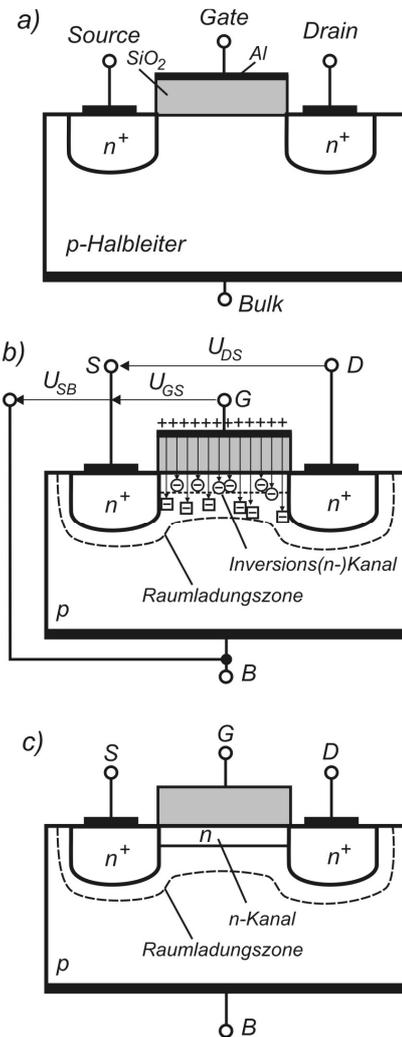
Abb. 6.42 MIS-Feldeffekttransistor

a) Querschnitt durch einen n-Kanal-MISFET

Auf einem Plättchen p-dotierten Siliziums werden in unmittelbarer Nachbarschaft des durch eine  $\text{SiO}_2$ -Schicht (neuartig: Hafniumoxid  $\text{HfO}$ ,  $\text{HfO}_2$ ) vom Substrat (Bulk) isolierten Gate zwei gut leitfähige hoch  $n^+$ -dotierte Inseln mit den Anschlüssen Source (Quelle) und Drain (Senke) eindiffundiert. Bezüglich dieser Anschlüsse ist der FET symmetrisch. Infolge der sich ausbildenden pn-Übergänge sind zunächst alle Kontakte voneinander isoliert.

b) Bereits bei  $U_{GB}=0$  liegt wegen der unterschiedlichen Austrittsarbeiten von Isolator und Halbleitermaterial ein elektrisches Feld zwischen Gate und HL. Die Materialien werden so gewählt, dass dieses Feld zur Verarmung der HL-Oberfläche an Löchern führt (vergl. Kap. 5.4.4.5). Bei positiver Steuerspannung  $U_{GS}$  steigt die Feldstärke weiter an. Es entsteht schließlich durch Anreicherung von Minoritätsladungsträgern (hier Elektronen) ein n-leitender *Inversionskanal* als niederohmige Verbindung zwischen Drain und Source. Der Feldeffekttransistor ist durchgesteuert. Da der leitfähige Zustand durch Anreicherung von hier negativen beweglichen Ladungsträgern in der Randschicht entsteht, bezeichnet man diesen Transistortyp als *Anreicherungs-* oder *Enhancement-FET*.

c) Hier ist eine dünne n-dotierte Halbleiterschicht unter dem Isolator eindiffundiert. Somit sind ohne Gatespannung Source und Drain leitfähig miteinander verbunden. Dieser Transistor ist *selbstleitend*. Bei negativer Gatespannung werden Elektronen aus dem Kanal verdrängt und Löcher angezogen. Der Kanal verengt sich, sein Ohmscher Widerstand steigt, bis schließlich der Kanal völlig abschnürt und der Transistor sperrt. Man nennt diesen Typ *Verarmungs-* oder *Depletion-FET*.



Da der FET symmetrisch ist, bestimmt die Richtung der angelegten Spannung welcher der Anschlüsse als Source bzw. Drain fungiert. Ist wie in Abb.6.42b  $U_{DS} > 0$ , wandern Elektronen von *S* durch den Inversionskanal nach *D*. Bei umgekehrter Potentialdifferenz sind die Bezeichnungen *S* und *D* zu vertauschen.

Ganz analog aufgebaut sind *p-Kanal-Enhancement-* sowie *p-Kanal-Depletion-FET* aufgebaut. Die Dotierung ist dabei jeweils komplementär. Der *p-Kanal-Enhancement-FET* hat stark p-dotierte Source- und Drain-Bereiche auf n-leitendem Substrat. Negative Gatespannung erzeugt einen p-Kanal und der Transistor steuert durch.



Auf Abb.6.43 ist die Einschnürung des n-Kanals dargestellt. Im Bereich  $U_{DS} \geq U_{GSE} > 0$  führt eine weitere Erhöhung der Drainspannung nicht mehr zu einem adäquat wachsenden Drainstrom, da der Widerstand des Kanals durch Einschnürung wächst. Der Drainstrom bleibt bezüglich Drainspannung etwa konstant (Pentodenbereich, Bereich rechts von der pinch-off-Grenze in 6.44 b). Der Drainstrom wächst aber in diesem Bereich etwa quadratisch mit der effektiven Gatespannung  $U_{GSE}$  (Glg. 6.25; dicke Kennlinie auf 6.44 a). Bei wachsender Gatespannung wird der Verlauf der quadratischen Kennlinie am *pinch-off-Punkt* bei  $U_{GSE} = U_{DS}$  (s.Abb. 6.44 a) verlassen und verläuft weiter annähernd linear laut Glg. 6.24. (Triodenbereich). Die maximale Verlustleistung  $P_{max}$  darf nicht überschritten werden (Kühlmaßnahmen beachten!). Bei Überschreiten einer maximal zulässigen Drainspannung  $U_{BR}$  bewirkt das starke Feld in Kanalrichtung eine Lawinenvervielfachung der beweglichen Ladungsträger, verbunden mit einem starken Anstieg des Drainstromes. Die Durchbruchspannung  $U_{BR}$  sinkt mit wachsender Gatespannung und verläuft flacher. Im Bereich  $U_{GS} \leq U_{iE}$  fließt kein Drainstrom, der Transistor sperrt (SB).

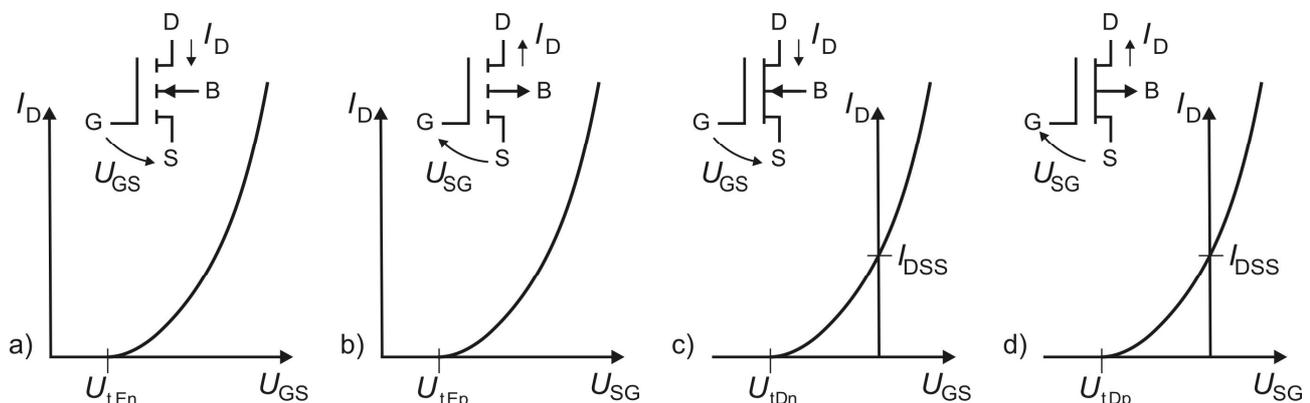


Abb. 6.45 Transferkennlinien und Schaltzeichen der verschiedenen Typen von MOSFET  
 a) n-Enhancement-Typ b) p-Enhancement-Typ c) n-Depletion-Typ d) p-Depletion-Typ  
 $U_t$  bezeichnet die Gate-Schwelspannungen bei deren Überschreiten der Drainstrom einsetzt. Bei den E-Typen sind diese Spannungen positiv, bei den D-Typen negativ.  $I_{DSS}$  bezeichnet den Sättigungsstrom bei D-Typen, wenn die Gatespannung gleich Null ist.

### 6.4.1.3. V-MOSFET

Bei der in Abb.6.42 gezeigten Bauweise verläuft der Kanal parallel zur Oberfläche des Substrats. Im eingeschalteten Zustand ist der Widerstand des Kanals relativ hoch, da dieser von der Kanallänge abhängt. Sollen hohe Leistungen geschaltet werden, muss der Kanalwiderstand möglichst gering gehalten werden. Dies gelingt in vorzüglicher Weise durch die in Abb. 6.46 dargestellte Anordnung eines n-Kanal-VMOS. Bei dieser Technologie verläuft der leitfähige Kanal nahezu senkrecht zur Chip-Oberfläche, an den Flanken einer durch das Dotierungsprofil hindurch geätzten Grube entlang. In dieser liegt eine durch eine dünne  $SiO_2$  Schicht isolierte eingebettete Gate-Elektrode. Der Drain-Kontakt befindet sich auf der gegenüberliegenden Seite des Substrats. Der Kanal hat nur die Länge der p-Schichtdicke, ist also sehr niederohmig. Außerdem sind durch die geringeren Kapazitäten zwischen den Elektroden kürzere Schaltzeiten im einstelligen ns-Bereich möglich und damit eine höhere Grenzfrequenz.

In der Praxis werden diese Strukturen auf der Oberfläche eines Chips zellenförmig dicht an dicht gepackt und parallel geschaltet. Diese Anordnungen können schachbrettartig oder hexagonal sein (z.B. Markennamen SIPMOS und HEXFET). Durch die Parallelschaltung kann eine größere Chipfläche genutzt werden, der Gesamtwiderstand ist entsprechend gering. Schaltleistungen bis in den kW-Bereich sind dadurch realisierbar.

Der Vorteil gegenüber herkömmlichen MOSFET liegt im geringeren Widerstand des durchgesteuerten Zustandes, deutlich größerer Maximalstromstärke bei ähnlich geringem Eigenrauschen, gutem HF-Verhalten und hohem Eingangswiderstand. Hierdurch eröffnen sich Anwendungen für geregelte Gleichspannungsquellen, Ansteuerungen für Schrittmotoren, Leistungsverstärker.

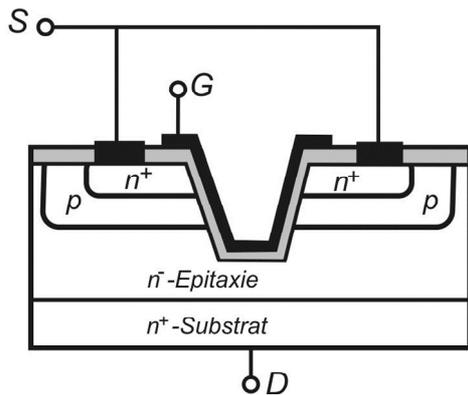


Abb. 6.46 Struktur eines VMOS-Transistors

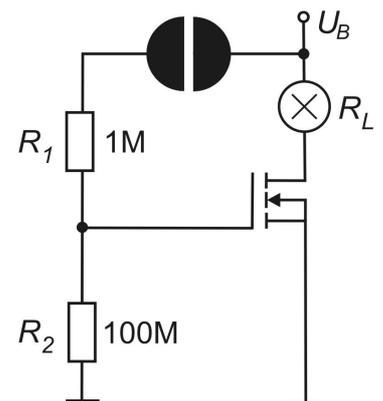
VMOS-Transistoren sind vom n-Enhancement-Typ. Durch die höheren Beweglichkeiten der Elektronen gegenüber Löchern werden höhere Grenzfrequenzen erreicht. Der n-Kanal bildet sich an beiden Flanken des V-förmigen Einschnitts heraus, ist somit von geringer Länge, weist folglich geringe Kapazität und geringen Widerstand auf. Die Drain-Region ist schwach dotiert, wodurch eine höhere Durchschlagsfestigkeit erreicht wird.

Nutzbarer Betriebsbereich von MOSFET:

- Beim Überschreiten einer kritischen Feldstärke von  $E_{krit} = 5 \cdot 10^6 \text{ V/cm}$  wird durch Gatedurchbruch das Bauelement zerstört. Die maximal zulässige Gatespannung darf deshalb nicht überschritten werden. Infolge der guten Isolation des Gates führen bereits geringe Ladungsmengen infolge elektrostatischer Aufladung zur Zerstörung des Transistors. Zum Schutz werden deshalb FET und diverse Schaltkreise in elektrisch leitfähiger Folie verpackt. Es sind bestimmte Regeln beim Einbau zu beachten. Ein weiterer Schutz vor Gatedurchschlag wird konstruktiv dadurch erreicht, dass bei Eingangstransistoren von MOS-Schaltkreisen parallel zum Gate Z-Dioden geschaltet werden.
- Beim Überschreiten der Durchbruchspannung  $U_{DS} > U_{BR}$  erfolgt Lawinendurchbruch, der Drainstrom steigt stark an und damit auch die Verlustleistung
- Die maximal zulässige Verlustleistung darf nicht dauerhaft überschritten werden. Auf geeignete Kühlung ist zu achten.

Abb. 6.47 Vorlesungsversuch „Berührungsempfindlicher Schalter“

Als Schalter dient ein selbstsperrender MOSFET. Der Lastwiderstand wird durch eine Glühlampe realisiert. Im Ruhezustand ist der Schalter offen, der MOSFET sperrt, die Lampe ist dunkel. Die beiden Halbkreisflächen bilden den Berührungskontakt aus zwei metallischen Oberflächen (im Versuch die Beschichtung einer Leiterplatte). Berührt man die Fläche, wird der Leiter überbrückt, es fließt ein sehr kleiner Strom, der über den großen Widerstand  $R_2$  eine Spannung nahe der Betriebsspannung  $U_B$  abfallen lässt. Der Transistor steuert durch, der Drainstrom lässt die Lampe aufleuchten. Nach der Berührung sorgt  $R_2$  dafür, dass das Gate auf Massepotential gelegt wird und der Transistor sperrt. Die Lampe verlöscht wieder. Schon leichtes Anhauchen aktiviert den Schalter durch an der Oberfläche niedergeschlagene Atemluftfeuchtigkeit. Verdunstet diese, öffnet der Schalter nach einigen Sekunden wieder.



## 6.4.2. Sperrschicht-FET (SFET)

### 6.4.2.1. Wirkprinzipien

Bei Sperrschicht-Feldeffekttransistoren erfolgt die Isolation nicht durch ein Dielektrikum wie bei MOSFET, sondern durch die Raumladungszone eines gesperrten pn-Überganges (IGFET – Isolated Gate FET) oder einer gesperrten Schottky-Diode (MESFET – Metall-Semiconductor-FET). Die Größe der Sperrspannung verändert die Breite eines leitfähigen Kanals zwischen Source und Drain.

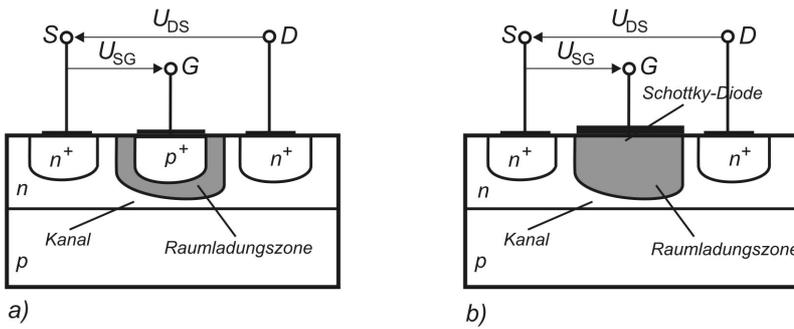


Abb. 6.48 n-Kanal-Sperrschicht-FET  
a) JFET b) MESFET

Die Raumladungszone (keine beweglichen Ladungsträger!) engt den Strompfad zwischen Drain und Source auf einen schmalen Kanal. Je größer die Sperrspannung, desto schmaler der Kanal und größer der Widerstand. Analog ist die Struktur von p-Kanal-SFET.

Die Abschnürung des Kanals beginnt am drainseitigen Ende. Mit wachsender Drainspannung wird die Abschnürung größer, der Widerstand des Kanals wächst. Überschreitet die Steuerspannung  $U_{SG}$  einen für die aktuelle Ausführung des Transistors spezifischen Schwellwert  $U_t$  so wird der Drainstrom gleich Null, unabhängig von der Größe der Drain-Source-Spannung.

Mit MESFET auf der Basis von GaAs stehen wegen der Rauschermut und hohen Beweglichkeit der Elektronen Bausteine zur Verfügung, die im zweistelligen Gigahertzbereich bei Rauschzahlen um 2dB erst den Bau von höchstempfindlichen Vorverstärkern ermöglichen.

**6.4.2.2. Kennlinien**

Vom Typ her sind SFET vergleichbar mit den Depletion-MOSFET. Für den Fall einer ausreichend großen Drain-Source-Spannung  $U_{DS} > U_t - U_{SG}$  lässt sich die Transferkennlinie näherungsweise durch eine quadratische Beziehung beschreiben (vergl. Koß/Reinhold)

$$I_D = I_{DSS} \left( 1 - \frac{U_{SG}}{U_t} \right)^2 \tag{6.25}$$

$I_{DSS}$  ist der Sättigungsstrom bei  $U_{SG}=0$  und wie  $U_t$  für das Bauelement spezifisch.

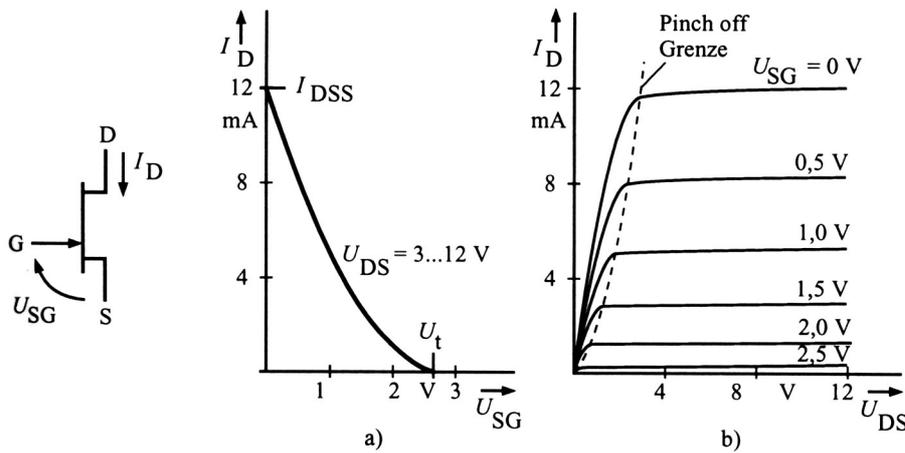


Abb. 6.49 Schaltsymbol und Kennlinien eines Sperrschicht-FET

a) Transferkennlinie  
b) Ausgangskennlinie

*Vorteile von Feldeffekttransistoren*

- Sperrschichtfreier Strompfad – unipolarer Transistor, dadurch sehr geringes Rauschen (kleinste Signale können verstärkt werden)
- Kaum Leistungsbedarf, dadurch hohe Integration möglich
- Platzsparende intelligente Schaltungsentwürfe möglich durch gleichzeitige Anordnung komplementärer FET auf einem Chip (CMOS-Schaltkreise)
- Vergleichsweise geringere Temperaturabhängigkeit der Betriebsdaten als bei Bipolartransistoren.

**Übungen**

**6.14.** Das Gate eines Silizium-MOSFET hat folgende Abmessungen:

Breite  $B = 60\mu\text{m}$ ; Länge  $L = 4\mu\text{m}$ ; Gateoxiddicke  $d = 30\text{ nm}$ ;  $\epsilon_r = 3,9$ ;  $E_{krit} = 5 \cdot 10^6\text{ V/cm}$

- Welches ist die maximale Gatespannung, die nicht überschritten werden darf?
- Wie viele Elektronen werden hierzu als Ladung auf dem Gate benötigt?
- Wie groß ist die Kapazität des Gates?
- Welche Energie wird benötigt, das Gate aufzuladen?

*Lösung:* a) Zur Bestimmung der Gateladung wird der Gauss'sche Satz angewendet. Die Integrationsfläche, welche die Gateladung einschließt, verläuft durch die Oxidschicht. Bei der Integration werden nur Flächenelemente innerhalb der Oxidschicht von Elektrischer Feldstärke betroffen.

$$Q = \epsilon_r \epsilon_0 \oiint \vec{E} \cdot d\vec{f} \cong \epsilon_r \epsilon_0 EA$$

$$Q = 3,9 \cdot 8,854 \cdot 10^{-12} \text{ As} \cdot \text{V}^{-1} \text{m}^{-1} \cdot 5 \cdot 10^8 \text{ Vm}^{-1} \cdot 60 \cdot 10^{-6} \text{ m} \cdot 4 \cdot 10^{-6} \text{ m}$$

$$Q = 4,1 \cdot 10^{-12} \text{ As}$$

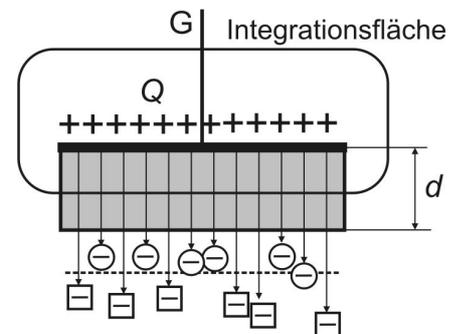
Diese Ladung entspricht der Gesamtladung von lediglich 26.000.000 Elektronen.

$$\text{b) } U = -\int_1^2 \vec{E} \cdot d\vec{s} \cong E \cdot d = 5 \cdot 10^8 \text{ Vm}^{-1} \cdot 30 \cdot 10^{-9} \text{ m} = \underline{15\text{V}}$$

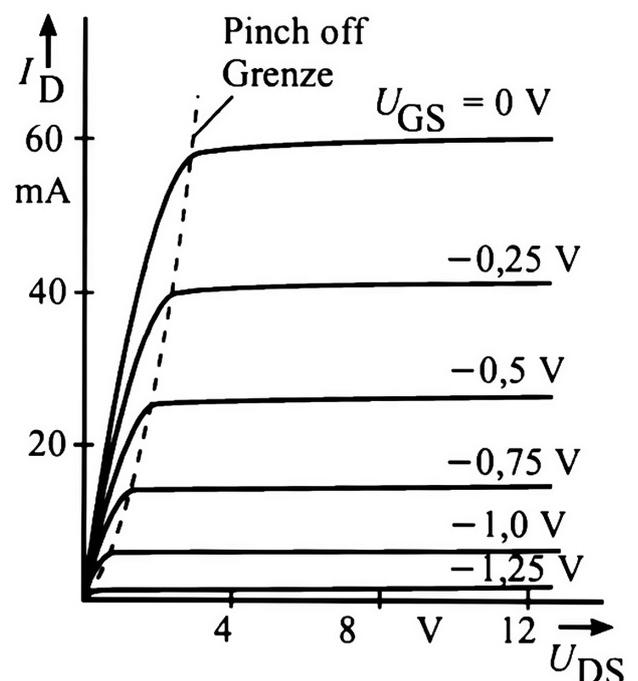
Dieser vergleichsweise geringe Wert für eine maximale Gatespannung deutet darauf hin, hier Vorsicht walten zu lassen beim Handling mit MOSFET.

$$\text{c) } C = \frac{Q}{U} = \frac{4,1 \cdot 10^{-12} \text{ As}}{15\text{V}} = \underline{0,27\text{pF}}$$

$$\text{d) } W = \frac{C}{2} U^2 = \frac{1}{2} 0,27 \cdot 10^{-12} \text{ AsV}^{-1} \cdot 15^2 \text{ V}^2 = \underline{30 \cdot 10^{-12} \text{ VAs}}$$



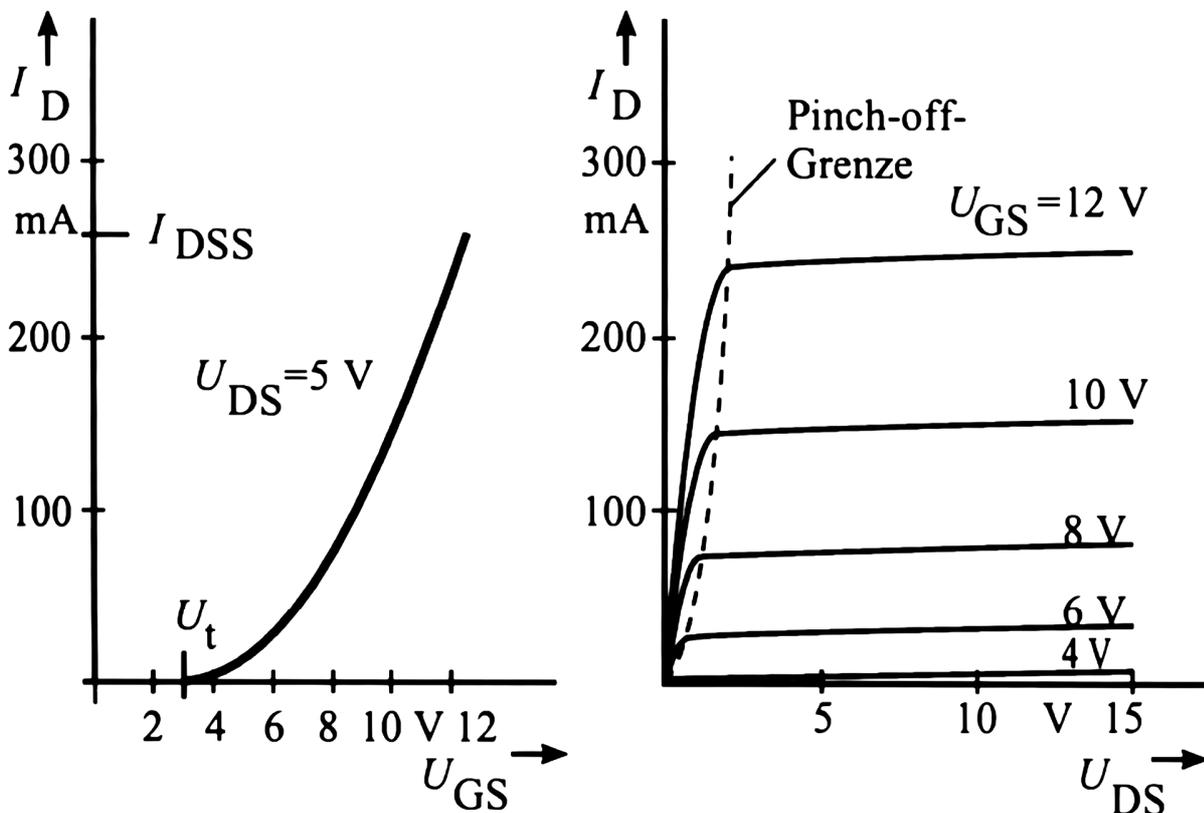
**6.15.** Zur nebenstehend abgebildeten Ausgangskennlinie eines n-Kanal-Depletion-MOSFET ist die dazu gehörige Transferkennlinie zu konstruieren.



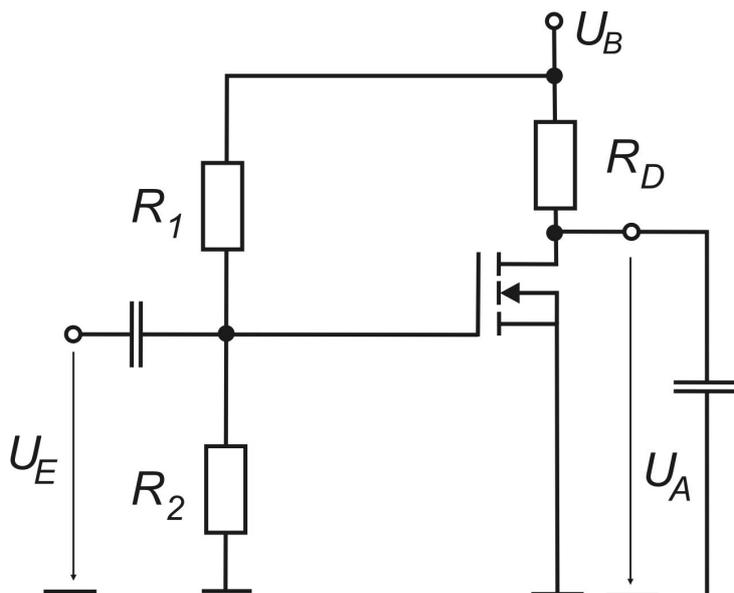
6.16. Zu dem gegebenen Kennlinienfeld eines n-Kanal-Enhancement-MOSFET sind die *Steilheit*

$$g_m = \left. \frac{\Delta I_D}{\Delta U_{GS}} \right|_{U_{DS}^{AP}} \text{ und der Ausgangsleitwert } g_d = \left. \frac{\Delta I_D}{\Delta U_{DS}} \right|_{U_{GS}^{AP}} \text{ für den Arbeitspunkt } U_{GS}^{AP} = 10\text{V};$$

$I_D^{AP} = 150\text{mA}$  zu bestimmen.

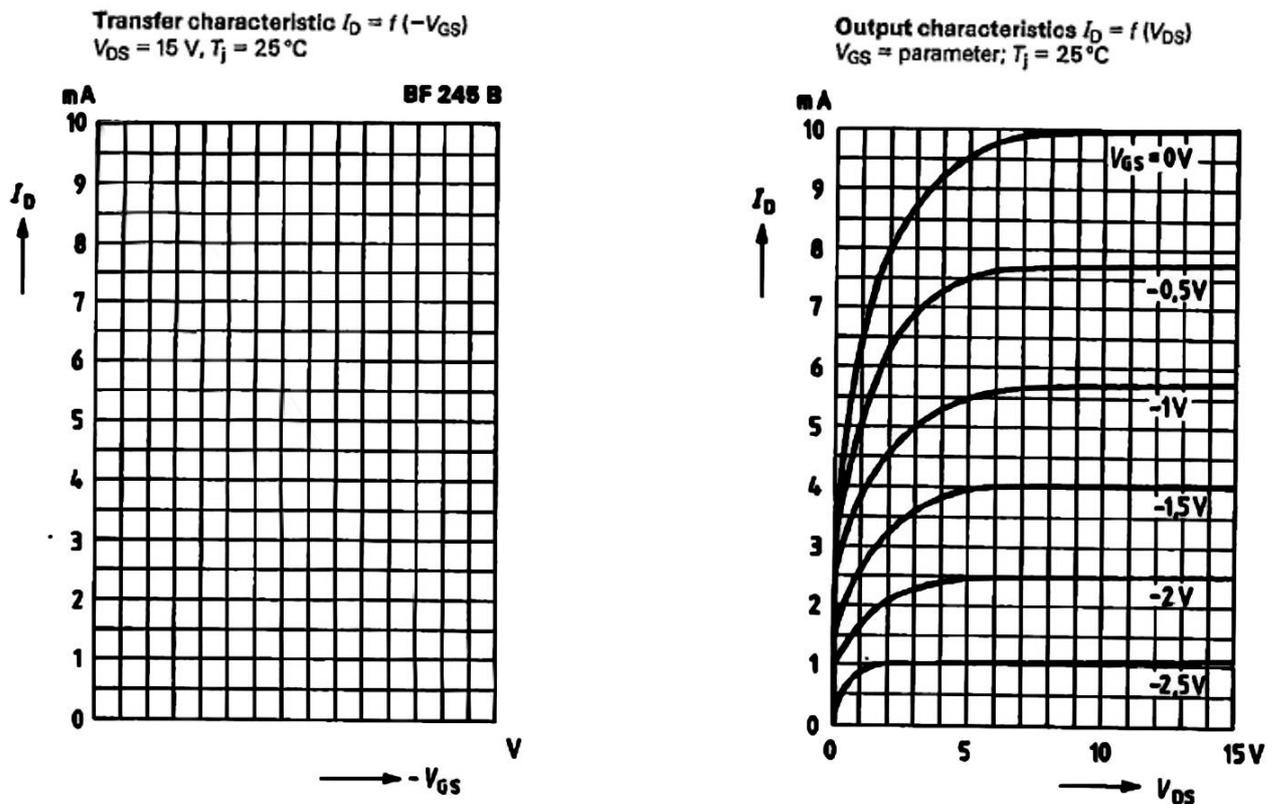


Kennlinienfeld eines n-Kanal-Enhancement-MOSFET



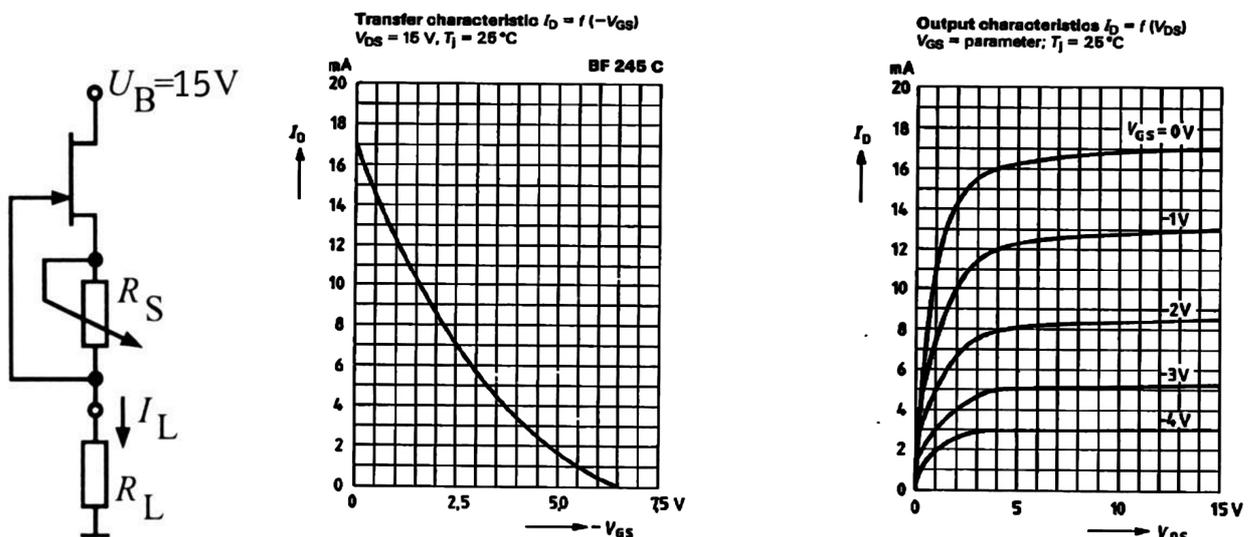
6.17. Die angegebene Verstärkerschaltung soll unter Verwendung der Kennlinien aus 6.16. dimensioniert werden. Die maximal zulässige Verlustleistung beträgt 1W, der maximal zulässige Drainstrom 0,3A. Die Betriebsspannung beträgt 12V. Der Spannungsteiler zur Festlegung des Arbeitspunktes soll einen Gesamtwiderstand von 10MΩ aufweisen. Bestimmen Sie die Größe der Widerstände,

6.18. Zur nebenstehend abgebildeten Ausgangskennlinie eines n-Kanal-SFET (nach Siemens) ist die dazu gehörige Transferkennlinie zu konstruieren.



6.19. Mittels eines SFET ist auf der nebenstehenden Abb. eine einfache Konstantstromquelle realisiert. Auf Grundlage des Kennlinienfeldes (nach Siemens) des Transistors BF 245C ist der Source-Widerstand  $R_S$  so zu dimensionieren, dass über den Lastwiderstand  $R_L$  ein konstanter Laststrom eingestellt werden kann.

- In welchem Betriebsbereich arbeitet der SFET?
- Zwischen welchen Werten  $R_S$  wird ein konstanter Laststrom  $I_L = 3 \dots 14\text{ mA}$  eingestellt?
- Wie groß darf  $R_L$  maximal sein, damit die Regelung über den vollen Bereich erfolgen kann?
- Welche maximale Verlustleistung fällt im Regelbereich am Transistor ab ( $P_{\text{tot}} = 300\text{ mW}$ )?



6.20. Geben Sie die logischen Funktionen der Schaltungen an; Skizzieren Sie einen Inverter in CMOS-Bauweise mit selbstsperrenden MOSFET

